

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kazunari HATADE, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE CAPABLE OF AVOIDING LATCHUP BREAKDOWN RESULTING FROM NEGATIVE VARIATION OF FLOATING OFFSET VOLTAGE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-087822	March 27, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    3 月 2 7 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 0 8 7 8 2 2  
Application Number:

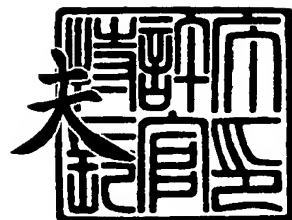
[ST. 10/C]:                      [ J P 2 0 0 3 - 0 8 7 8 2 2 ]

出      願      人                      三 菱 電 機 株 式 会 社  
Applicant(s):

2 0 0 3 年    9 月 1 9 日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

今 井 康





【書類名】 特許願

【整理番号】 544206JP01

【提出日】 平成15年 3月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会  
社内

    【氏名】 幡手 一成

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会  
社内

    【氏名】 秋山 肇

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会  
社内

    【氏名】 清水 和宏

【特許出願人】

    【識別番号】 000006013

    【氏名又は名称】 三菱電機株式会社

【代理人】

    【識別番号】 100089233

    【弁理士】

    【氏名又は名称】 吉田 茂明

【選任した代理人】

    【識別番号】 100088672

    【弁理士】

    【氏名又は名称】 吉竹 英俊

**【選任した代理人】****【識別番号】** 100088845**【弁理士】****【氏名又は名称】** 有田 貴弘**【手数料の表示】****【予納台帳番号】** 012852**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 第 1 電極、第 2 電極、及び制御電極を有するスイッチングデバイスを駆動するための半導体装置であって、

前記第 1 電極に接続された第 1 の端子と、

容量性素子を介して前記第 1 電極に接続された第 2 の端子と、

第 1 導電型の半導体基板と、

前記半導体基板の主面内に形成された、第 2 導電型の第 1 の不純物領域と、

前記第 1 の不純物領域の主面内に形成された、前記第 1 導電型の第 2 の不純物領域と、

前記第 2 の不純物領域の主面内に形成され、前記第 1 の端子に接続された、前記第 2 導電型のソース・ドレイン領域を有する、第 1 のトランジスタと、

前記第 1 の不純物領域の主面内に形成され、前記第 2 の端子に接続された、前記第 1 導電型のソース・ドレイン領域を有する、第 2 のトランジスタと、

前記第 1 の不純物領域の前記主面内に形成され、前記第 1 の端子に接続された、前記第 1 導電型の第 3 の不純物領域とを備える、半導体装置。

【請求項 2】 前記第 3 の不純物領域は、前記第 2 の不純物領域よりも浅く形成されている、請求項 1 に記載の半導体装置。

【請求項 3】 前記第 3 の不純物領域の不純物濃度は、前記第 2 の不純物領域の不純物濃度よりも高い、請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記第 3 の不純物領域は、前記第 2 の不純物領域に接して形成されている、請求項 1～3 のいずれか一つに記載の半導体装置。

【請求項 5】 前記第 3 の不純物領域は、前記第 2 の不純物領域を取り囲んで形成されている、請求項 4 に記載の半導体装置。

【請求項 6】 前記第 1 の不純物領域の前記主面内に形成され、前記第 2 の端子に接続された、前記第 2 導電型の第 4 の不純物領域をさらに備える、請求項 1～5 のいずれか一つに記載の半導体装置。

【請求項 7】 前記第 1 の不純物領域の前記主面内に形成され、前記第 2 の端子に接続された、前記第 1 導電型の第 4 の不純物領域をさらに備える、請求項 1 ～ 5 のいずれか一つに記載の半導体装置。

【請求項 8】 前記第 1 の不純物領域の前記主面内に形成され、前記第 1 の端子に接続された、前記第 1 導電型の第 4 の不純物領域をさらに備える、請求項 1 ～ 5 のいずれか一つに記載の半導体装置。

【請求項 9】 前記第 1 の不純物領域に接して前記半導体基板の前記主面内に形成された、前記第 1 導電型の分離領域をさらに備え、

前記第 4 の不純物領域は、前記分離領域と前記第 2 の不純物領域との間で、前記第 2 の不純物領域を取り囲んで形成されている、請求項 6 ～ 8 のいずれか一つに記載の半導体装置。

【請求項 10】 前記第 1 の不純物領域の前記主面内に形成され、前記第 1 又は第 2 の端子に接続された、前記第 1 導電型の第 4 の不純物領域と、

前記第 4 の不純物領域を貫通して前記第 1 の不純物領域の前記主面内に形成されたトレンチと、

前記トレンチの壁面を規定している部分の前記第 1 の不純物領域内に形成され、前記第 1 又は第 2 の端子に接続された、前記第 1 導電型の第 5 の不純物領域とをさらに備える、請求項 1 ～ 5 のいずれか一つに記載の半導体装置。

【請求項 11】 前記第 1 の不純物領域に接して前記半導体基板の前記主面内に形成された、前記第 1 導電型の分離領域をさらに備え、

前記第 4 及び第 5 の不純物領域は、前記分離領域と前記第 2 の不純物領域との間で、前記第 2 の不純物領域を取り囲んで形成されている、請求項 10 に記載の半導体装置。

【請求項 12】 第 1 電極、第 2 電極、及び制御電極を有するスイッチングデバイスを駆動するための半導体装置であって、

前記第 1 電極に接続された第 1 の端子と、

容量性素子を介して前記第 1 電極に接続された第 2 の端子と、

第 1 導電型の半導体基板と、

前記半導体基板の主面内に形成された、第 2 導電型の第 1 の不純物領域と、

前記第 1 の不純物領域の主面内に形成された、前記第 1 導電型の第 2 の不純物領域と、

前記第 2 の不純物領域の主面内に形成され、前記第 1 の端子に接続された、前記第 2 導電型のソース・ドレイン領域を有する、第 1 のトランジスタと、

前記第 1 の不純物領域の主面内に形成され、前記第 2 の端子に接続された、前記第 1 導電型のソース・ドレイン領域を有する、第 2 のトランジスタと、

前記第 1 の不純物領域の前記主面内に形成され、前記第 2 の端子に接続された、前記第 2 導電型の第 3 の不純物領域と  
を備える、半導体装置。

【請求項 13】 第 1 電極、第 2 電極、及び制御電極を有するスイッチングデバイスを駆動するための半導体装置であって、

前記第 1 電極に接続された第 1 の端子と、

容量性素子を介して前記第 1 電極に接続された第 2 の端子と、

第 1 導電型の半導体基板と、

前記半導体基板の主面内に形成された、第 2 導電型の第 1 の不純物領域と、

前記第 1 の不純物領域の主面内に形成された、前記第 1 導電型の第 2 の不純物領域と、

前記第 2 の不純物領域の主面内に形成され、前記第 1 の端子に接続された、前記第 2 導電型のソース・ドレイン領域を有する、第 1 のトランジスタと、

前記第 1 の不純物領域の主面内に形成され、前記第 2 の端子に接続された、前記第 1 導電型のソース・ドレイン領域を有する、第 2 のトランジスタと、

前記第 1 の不純物領域の前記主面内に形成され、前記第 2 の端子に接続された、前記第 1 導電型の第 3 の不純物領域と  
を備える、請求項 1 に記載の半導体装置。

【請求項 14】 前記第 1 の不純物領域に接して前記半導体基板の前記主面内に形成された、前記第 1 導電型の分離領域をさらに備え、

前記第 3 の不純物領域は、前記分離領域と前記第 2 の不純物領域との間で、前記第 2 の不純物領域を取り囲んで形成されている、請求項 12 又は 13 に記載の半導体装置。

【請求項 15】 第 1 電極、第 2 電極、及び制御電極を有するスイッチングデバイスを駆動するための半導体装置であって、

前記第 1 電極に接続された第 1 の端子と、

容量性素子を介して前記第 1 電極に接続された第 2 の端子と、

第 1 導電型の半導体基板と、

前記半導体基板の主面内に形成された、第 2 導電型の第 1 の不純物領域と、

前記第 1 の不純物領域の主面内に形成された、前記第 1 導電型の第 2 の不純物領域と、

前記第 2 の不純物領域の主面内に形成され、前記第 1 の端子に接続された、前記第 2 導電型のソース・ドレイン領域を有する、第 1 のトランジスタと、

前記第 1 の不純物領域の主面内に形成され、前記第 2 の端子に接続された、前記第 1 導電型のソース・ドレイン領域を有する、第 2 のトランジスタと、

前記第 1 の不純物領域の前記主面内に形成され、前記第 1 又は第 2 の端子に接続された、前記第 1 導電型の第 3 の不純物領域と、

前記第 3 の不純物領域を貫通して前記第 1 の不純物領域の前記主面内に形成されたトレンチと、

前記トレンチの壁面を規定している部分の前記第 1 の不純物領域内に形成され、前記第 1 又は第 2 の端子に接続された、前記第 1 導電型の第 4 の不純物領域とを備える、半導体装置。

【請求項 16】 第 1 電極、第 2 電極、及び制御電極を有するスイッチングデバイスを駆動するための半導体装置であって、

前記第 1 電極に接続された第 1 の端子と、

容量性素子を介して前記第 1 電極に接続された第 2 の端子と、

第 1 導電型の半導体基板と、

前記半導体基板の主面内に形成された、第 2 導電型の第 1 の不純物領域と、

前記第 1 の不純物領域の主面内に形成された、前記第 1 導電型の第 2 の不純物領域と、

前記第 2 の不純物領域の主面内に形成され、前記第 1 の端子に接続された、前記第 2 導電型のソース・ドレイン領域を有する、第 1 のトランジスタと、



前記第 1 の不純物領域の主面内に形成され、前記第 2 の端子に接続された、前記第 1 導電型のソース・ドレイン領域を有する、第 2 のトランジスタと、

前記第 2 の不純物領域の前記主面内に形成され、前記第 1 の端子に接続された、前記第 1 導電型の第 3 の不純物領域と、

前記第 3 の不純物領域に接して前記第 2 の不純物領域の前記主面内に形成され、前記第 1 の端子に接続された、前記第 2 導電型の第 4 の不純物領域とを備える、半導体装置。

【請求項 17】 第 1 電極、第 2 電極、及び制御電極を有するスイッチングデバイスを駆動するための半導体装置であって、

前記第 1 電極に接続された第 1 の端子と、

容量性素子を介して前記第 1 電極に接続された第 2 の端子と、

第 1 導電型の半導体基板と、

前記半導体基板の主面内に形成された、第 2 導電型の第 1 の不純物領域と、

前記第 1 の不純物領域の主面内に形成された、前記第 1 導電型の第 2 の不純物領域と、

前記第 2 の不純物領域の主面内に形成され、前記第 1 の端子に接続された、前記第 2 導電型のソース・ドレイン領域を有する、第 1 のトランジスタと、

前記第 1 の不純物領域の主面内に形成され、前記第 2 の端子に接続された、前記第 1 導電型のソース・ドレイン領域を有する、第 2 のトランジスタと、

前記第 1 の不純物領域の前記主面内に形成され、前記第 2 の端子に接続された、前記第 2 導電型の第 3 の不純物領域と、

前記第 3 の不純物領域に接して前記第 1 の不純物領域の前記主面内に形成され、前記第 2 の端子に接続された、前記第 1 導電型の第 4 の不純物領域とを備える、半導体装置。

【請求項 18】 前記第 1 の不純物領域に接して前記半導体基板の前記主面内に形成された、前記第 1 導電型の分離領域をさらに備え、

前記第 3 及び第 4 の不純物領域は、前記分離領域と前記第 2 の不純物領域との間で、前記第 2 の不純物領域を取り囲んで形成されている、請求項 15～17 のいずれか一つに記載の半導体装置。

【請求項 19】 第 1 電極、第 2 電極、及び制御電極を有するスイッチングデバイスを駆動するための半導体装置であって、

前記第 1 電極に接続された第 1 の端子と、

容量性素子を介して前記第 1 電極に接続された第 2 の端子と、

第 1 導電型の半導体基板と、

前記半導体基板の主面内に形成された、第 2 導電型の第 1 の不純物領域と、

前記第 1 の不純物領域の主面内に形成された、前記第 1 導電型の第 2 の不純物領域と、

前記第 2 の不純物領域の主面内に形成され、前記第 1 の端子に接続された、前記第 2 導電型のソース・ドレイン領域を有する、第 1 のトランジスタと、

前記第 1 の不純物領域の主面内に形成され、前記第 2 の端子に接続された、前記第 1 導電型のソース・ドレイン領域を有する、第 2 のトランジスタと、

前記第 1 の不純物領域の前記主面内に形成された、前記第 1 導電型の第 3 の不純物領域と、

前記第 3 の不純物領域を貫通して前記第 1 の不純物領域の前記主面内に形成されたトレンチと、

前記トレンチの壁面を規定している部分の前記第 1 の不純物領域内に形成された、前記第 1 導電型の第 4 の不純物領域と、

前記第 3 の不純物領域に接して前記第 1 の不純物領域の前記主面内に形成された、前記第 2 導電型の第 5 の不純物領域と、

前記第 3 ～第 5 の不純物領域に接して前記第 1 の不純物領域の前記主面上に形成されたフローティング電極と

を備える、半導体装置。

【請求項 20】 前記第 1 の不純物領域に接して前記半導体基板の前記主面内に形成された、前記第 1 導電型の分離領域をさらに備え、

前記第 3 ～第 5 の不純物領域は、前記分離領域と前記第 2 の不純物領域との間で、前記第 2 の不純物領域を取り囲んで形成されている、請求項 19 に記載の半導体装置。

【請求項 21】 前記第 5 の不純物領域とは反対側で前記第 3 の不純物領域

に接して前記第 1 の不純物領域の前記主面内に形成された、前記第 2 導電型の第 6 の不純物領域をさらに備える、請求項 19 に記載の半導体装置。

【請求項 22】 前記第 1 の不純物領域に接して前記半導体基板の前記主面内に形成された、前記第 1 導電型の分離領域をさらに備え、

前記第 3 ～第 6 の不純物領域は、前記分離領域と前記第 2 の不純物領域との間で、前記第 2 の不純物領域を取り囲んで形成されている、請求項 21 に記載の半導体装置。

【請求項 23】 前記トレンチは、前記第 2 の不純物領域よりも深く形成されている、請求項 10, 11, 15, 19 ～22 のいずれか一つに記載の半導体装置。

【請求項 24】 前記トレンチの形成深さは  $20\ \mu\text{m}$  以下である、請求項 10, 11, 15, 19 ～22 のいずれか一つに記載の半導体装置。

【請求項 25】 前記半導体基板内に形成されたライフタイムキラーをさらに備える、請求項 1 ～24 のいずれか一つに記載の半導体装置。

【請求項 26】 前記ライフタイムキラーは、電子線照射及びアニール、白金拡散、又は金拡散によって形成されている、請求項 25 に記載の半導体装置。

【請求項 27】 前記ライフタイムキラーは、ヘリウム照射及びアニール、又はプロトン照射及びアニールによって形成されている、請求項 25 に記載の半導体装置。

【請求項 28】 第 1 電極、第 2 電極、及び制御電極を有するスイッチングデバイスを駆動するための半導体装置であって、

前記第 1 電極に接続された第 1 の端子と、

容量性素子を介して前記第 1 電極に接続された第 2 の端子と、

第 1 導電型の第 1 の不純物領域と、

前記第 1 の不純物領域の主面内に形成された、第 2 導電型の第 2 の不純物領域と、

前記第 2 の不純物領域の主面内に形成され、前記第 1 の端子に接続された、前記第 1 導電型のソース・ドレイン領域を有する、第 1 のトランジスタと、

前記第 1 の不純物領域の主面内に形成され、前記第 2 の端子に接続された、前

記第2導電型のソース・ドレイン領域を有する、第2のトランジスタと、

前記第1の不純物領域の前記主面内に形成され、前記第1の端子に接続された、前記第2導電型の第3の不純物領域とを備える、半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置に関し、特に、インバータ等のパワーデバイスを駆動するためのパワーデバイス駆動装置に関する。

【0002】

【従来の技術】

パワーデバイスは、直列に接続された第1及び第2のNチャネル絶縁ゲート型バイポーラトランジスタ（IGBT）と、パワーデバイス駆動装置とを備えている。第1のIGBTのコレクタ電極は主電源に接続されており、第2のIGBTのエミッタ電極は接地電位に接続されている。第1のIGBTのエミッタ電極と第2のIGBTのコレクタ電極とは、負荷に接続されている。負荷による逆起電圧から第1及び第2のIGBTを保護するために、フリーホイールダイオードが、第1及び第2のIGBTにそれぞれ逆並列に接続されている。

【0003】

パワーデバイス駆動装置は、第1のIGBTを制御するための高圧側駆動部と、第2のIGBTを制御するための低圧側駆動部とを備えている。また、パワーデバイス駆動装置は、第1のIGBTのエミッタ電極に接続されたVS端子と、コンデンサを介して第1のIGBTのエミッタ電極に接続されたVB端子と、第1のIGBTの制御電極に接続されたHO端子と、第2のIGBTのエミッタ電極に接続されたCOM端子と、コンデンサを介して第2のIGBTのエミッタ電極に接続されたVCC端子と、第2のIGBTの制御電極に接続されたLO端子と、GND端子とを備えている。ここで、VSは、高圧側駆動部の基準電位となる高圧側浮遊オフセット電圧である。VBは、高圧側駆動部の電源となる高圧側浮遊供給絶対電圧であり、高圧側浮遊電源から供給される。HOは、高圧側駆動

部による高圧側駆動信号出力である。COMは、共通接地である。VCCは、低圧側駆動部の電源となる低圧側固定供給電圧であり、低圧側固定供給電源から供給される。LOは、低圧側駆動部による低圧側駆動信号出力である。GNDは、接地電位である。

#### 【0004】

以下、高圧側駆動部を例にとり、従来のパワーデバイス駆動装置について説明する。

#### 【0005】

高圧側駆動部は、PMOSトランジスタ及びNMOSトランジスタを有するCMOS回路を備えている。PMOSトランジスタのソース電極はVB端子に、NMOSトランジスタのソース電極はVS端子に、PMOSトランジスタ及びNMOSトランジスタの各ドレイン電極はHO端子に、それぞれ接続されている。

#### 【0006】

次に、CMOS回路を有する従来の半導体装置の構造について説明する。半導体装置は、p-型シリコン基板と、p-型シリコン基板の上面内に形成されたn型不純物領域と、n型不純物領域の上面内に形成されたp型ウェルと、p型ウェルの上面内に形成された、NMOSトランジスタのn型のソース領域及びドレイン領域と、n型不純物領域の上面内に形成された、PMOSトランジスタのp型のソース領域及びドレイン領域と、n型不純物領域に接してp-型シリコン基板の上面内に形成されたp+型の分離領域とを備えている。

#### 【0007】

NMOSトランジスタのソース領域とドレイン領域との間にはチャネル形成領域が規定されており、チャネル形成領域上には、ゲート絶縁膜を介してNMOSトランジスタのゲート電極が形成されている。同様に、PMOSトランジスタのソース領域とドレイン領域との間にはチャネル形成領域が規定されており、チャネル形成領域上には、ゲート絶縁膜を介してPMOSトランジスタのゲート電極が形成されている。NMOSトランジスタのソース領域はVS端子に、PMOSトランジスタのソース領域はVB端子に、それぞれ接続されている。NMOSトランジスタ及びPMOSトランジスタの各ドレイン領域は、HO端子に共通に接

続されている。

【0008】

なお、CMOS回路を有する半導体装置に関する技術は、下記の特許文献1～4に開示されている。

【0009】

【特許文献1】

特開平11-68053号公報

【特許文献2】

特開昭62-120063号公報

【特許文献3】

特開昭60-74560号公報

【特許文献4】

特開平5-152523号公報

【0010】

【発明が解決しようとする課題】

従来のパワーデバイス及びパワーデバイス駆動装置において、回生期間（即ち、負荷からの逆起電圧によってフリーホイールダイオードがオンする期間）に、高圧側浮遊オフセット電圧 $V_S$ が共通接地COMよりも低い負電圧に変動する可能性がある。この高圧側浮遊オフセット電圧 $V_S$ の負変動は、コンデンサを介して高圧側浮遊供給絶対電圧 $V_B$ に伝達され、高圧側浮遊供給絶対電圧 $V_B$ の電位も負変動してしまう。

【0011】

高圧側浮遊供給絶対電圧 $V_B$ が負変動すると、その負変動はn型不純物領域に伝達される。その結果、通常は逆バイアスされているはずの、p+型の分離領域とn型不純物領域との間の寄生ダイオードや、p-型シリコン基板とn型不純物領域との間の寄生ダイオードがターンオンしてしまい、n型不純物領域内に電流が流れ込む。

【0012】

そして、寄生ダイオードのターンオンによってn型不純物領域内に流れ込んだ

電流に起因して、従来の半導体装置には、高圧側駆動信号出力H Oの論理が反転したり（誤動作）、寄生サイリスタがラッチアップしてCMOS回路に過大な電流が流れ、場合によっては回路又は部品が損傷する（ラッチアップ破壊）という問題がある（詳しくは、同一出願人による特開2002-252333号公報参照）。

#### 【0013】

本発明はかかる問題を解決するために成されたものであり、高圧側浮遊オフセット電圧V Sの負変動に起因する誤動作及びラッチアップ破壊を回避し得る半導体装置を得ることを目的とするものである。

#### 【0014】

##### 【課題を解決するための手段】

第1の発明に係る半導体装置は、第1電極、第2電極、及び制御電極を有するスイッチングデバイスを駆動するための半導体装置であって、第1電極に接続された第1の端子と、容量性素子を介して第1電極に接続された第2の端子と、第1導電型の半導体基板と、半導体基板の主面内に形成された、第2導電型の第1の不純物領域と、第1の不純物領域の主面内に形成された、第1導電型の第2の不純物領域と、第2の不純物領域の主面内に形成され、第1の端子に接続された、第2導電型のソース・ドレイン領域を有する、第1のトランジスタと、第1の不純物領域の主面内に形成され、第2の端子に接続された、第1導電型のソース・ドレイン領域を有する、第2のトランジスタと、第1の不純物領域の主面内に形成され、第1の端子に接続された、第1導電型の第3の不純物領域とを備える。

#### 【0015】

第2の発明に係る半導体装置は、第1電極、第2電極、及び制御電極を有するスイッチングデバイスを駆動するための半導体装置であって、第1電極に接続された第1の端子と、容量性素子を介して第1電極に接続された第2の端子と、第1導電型の半導体基板と、半導体基板の主面内に形成された、第2導電型の第1の不純物領域と、第1の不純物領域の主面内に形成された、第1導電型の第2の不純物領域と、第2の不純物領域の主面内に形成され、第1の端子に接続された

、第2導電型のソース・ドレイン領域を有する、第1のトランジスタと、第1の不純物領域の主面内に形成され、第2の端子に接続された、第1導電型のソース・ドレイン領域を有する、第2のトランジスタと、第1の不純物領域の主面内に形成され、第2の端子に接続された、第2導電型の第3の不純物領域とを備える。

#### 【0016】

第3の発明に係る半導体装置は、第1電極、第2電極、及び制御電極を有するスイッチングデバイスを駆動するための半導体装置であって、第1電極に接続された第1の端子と、容量性素子を介して第1電極に接続された第2の端子と、第1導電型の半導体基板と、半導体基板の主面内に形成された、第2導電型の第1の不純物領域と、第1の不純物領域の主面内に形成された、第1導電型の第2の不純物領域と、第2の不純物領域の主面内に形成され、第1の端子に接続された、第2導電型のソース・ドレイン領域を有する、第1のトランジスタと、第1の不純物領域の主面内に形成され、第2の端子に接続された、第1導電型のソース・ドレイン領域を有する、第2のトランジスタと、第1の不純物領域の主面内に形成され、第2の端子に接続された、第1導電型の第3の不純物領域とを備える。

#### 【0017】

第4の発明に係る半導体装置は、第1電極、第2電極、及び制御電極を有するスイッチングデバイスを駆動するための半導体装置であって、第1電極に接続された第1の端子と、容量性素子を介して第1電極に接続された第2の端子と、第1導電型の半導体基板と、半導体基板の主面内に形成された、第2導電型の第1の不純物領域と、第1の不純物領域の主面内に形成された、第1導電型の第2の不純物領域と、第2の不純物領域の主面内に形成され、第1の端子に接続された、第2導電型のソース・ドレイン領域を有する、第1のトランジスタと、第1の不純物領域の主面内に形成され、第2の端子に接続された、第1導電型のソース・ドレイン領域を有する、第2のトランジスタと、第1の不純物領域の主面内に形成され、第1又は第2の端子に接続された、第1導電型の第3の不純物領域と、第3の不純物領域を貫通して第1の不純物領域の主面内に形成されたトレンチ



と、トレンチの壁面を規定している部分の第1の不純物領域内に形成され、第1又は第2の端子に接続された、第1導電型の第4の不純物領域とを備える。

【0018】

第5の発明に係る半導体装置は、第1電極、第2電極、及び制御電極を有するスイッチングデバイスを駆動するための半導体装置であって、第1電極に接続された第1の端子と、容量性素子を介して第1電極に接続された第2の端子と、第1導電型の半導体基板と、半導体基板の主面内に形成された、第2導電型の第1の不純物領域と、第1の不純物領域の主面内に形成された、第1導電型の第2の不純物領域と、第2の不純物領域の主面内に形成され、第1の端子に接続された、第2導電型のソース・ドレイン領域を有する、第1のトランジスタと、第1の不純物領域の主面内に形成され、第2の端子に接続された、第1導電型のソース・ドレイン領域を有する、第2のトランジスタと、第2の不純物領域の主面内に形成され、第1の端子に接続された、第1導電型の第3の不純物領域と、第3の不純物領域に接して第2の不純物領域の主面内に形成され、第1の端子に接続された、第2導電型の第4の不純物領域とを備える。

【0019】

第6の発明に係る半導体装置は、第1電極、第2電極、及び制御電極を有するスイッチングデバイスを駆動するための半導体装置であって、第1電極に接続された第1の端子と、容量性素子を介して第1電極に接続された第2の端子と、第1導電型の半導体基板と、半導体基板の主面内に形成された、第2導電型の第1の不純物領域と、第1の不純物領域の主面内に形成された、第1導電型の第2の不純物領域と、第2の不純物領域の主面内に形成され、第1の端子に接続された、第2導電型のソース・ドレイン領域を有する、第1のトランジスタと、第1の不純物領域の主面内に形成され、第2の端子に接続された、第1導電型のソース・ドレイン領域を有する、第2のトランジスタと、第1の不純物領域の主面内に形成され、第2の端子に接続された、第2導電型の第3の不純物領域と、第3の不純物領域に接して第1の不純物領域の主面内に形成され、第2の端子に接続された、第1導電型の第4の不純物領域とを備える。

【0020】

第7の発明に係る半導体装置は、第1電極、第2電極、及び制御電極を有するスイッチングデバイスを駆動するための半導体装置であって、第1電極に接続された第1の端子と、容量性素子を介して第1電極に接続された第2の端子と、第1導電型の半導体基板と、半導体基板の主面内に形成された、第2導電型の第1の不純物領域と、第1の不純物領域の主面内に形成された、第1導電型の第2の不純物領域と、第2の不純物領域の主面内に形成され、第1の端子に接続された、第2導電型のソース・ドレイン領域を有する、第1のトランジスタと、第1の不純物領域の主面内に形成され、第2の端子に接続された、第1導電型のソース・ドレイン領域を有する、第2のトランジスタと、第1の不純物領域の主面内に形成された、第1導電型の第3の不純物領域と、第3の不純物領域を貫通して第1の不純物領域の主面内に形成されたトレンチと、トレンチの壁面を規定している部分の第1の不純物領域内に形成された、第1導電型の第4の不純物領域と、第3の不純物領域に接して第1の不純物領域の主面内に形成された、第2導電型の第5の不純物領域と、第3～第5の不純物領域に接して第1の不純物領域の主面上に形成されたフローティング電極とを備える。

#### 【0021】

第8の発明に係る半導体装置は、第1電極、第2電極、及び制御電極を有するスイッチングデバイスを駆動するための半導体装置であって、第1電極に接続された第1の端子と、容量性素子を介して第1電極に接続された第2の端子と、第1導電型の第1の不純物領域と、第1の不純物領域の主面内に形成された、第2導電型の第2の不純物領域と、第2の不純物領域の主面内に形成され、第1の端子に接続された、第1導電型のソース・ドレイン領域を有する、第1のトランジスタと、第1の不純物領域の主面内に形成され、第2の端子に接続された、第2導電型のソース・ドレイン領域を有する、第2のトランジスタと、第1の不純物領域の主面内に形成され、第1の端子に接続された、第2導電型の第3の不純物領域とを備える。

#### 【0022】

##### 【発明の実施の形態】

実施の形態1.

図1は、パワーデバイス及びパワーデバイス駆動装置の構成を説明するための概略構成図である。パワースイッチングデバイスであるNチャネル絶縁ゲート型バイポーラトランジスタ（IGBT）Q1，Q2は、主電源である高電圧HVをスイッチングする。ノードN30には負荷が接続されている。フリーホイールダイオードD1，D2は、ノードN30に接続された負荷による逆起電圧からIGBT Q1，Q2を保護する。

#### 【0023】

パワーデバイス駆動装置100は、IGBT Q1，Q2を駆動し、IGBT Q1を制御する高圧側制御入力HINと、IGBT Q2を制御する低圧側制御入力LINとに従って動作する。また、パワーデバイス駆動装置100は、IGBT Q1を駆動する高圧側駆動部101と、IGBT Q2を駆動する低圧側駆動部102と、制御入力処理部103とを有している。

#### 【0024】

ここで、例えばIGBT Q1，Q2が同時にオン状態になった場合、IGBT Q1，Q2に貫通電流が流れ、負荷に電流が流れなくなり、好ましくない状態になる。制御入力処理部103は、制御入力HIN，LINにより、そのような状態が引き起こされることを防ぐなどの処理を高圧側駆動部101及び低圧側駆動部102に対して行っている。

#### 【0025】

また、パワーデバイス駆動装置100は、IGBT Q1のエミッタ電極に接続されたVS端子と、コンデンサC1を介してIGBT Q1のエミッタ電極に接続されたVB端子と、IGBT Q1の制御電極に接続されたHO端子と、IGBT Q2のエミッタ電極に接続されたCOM端子と、コンデンサC2を介してIGBT Q2のエミッタ電極に接続されたVCC端子と、IGBT Q2の制御電極に接続されたLO端子と、GND端子とを備えている。ここで、VSは、高圧側駆動部101の基準電位となる高圧側浮遊オフセット電圧である。VBは、高圧側駆動部101の電源となる高圧側浮遊供給絶対電圧であり、図示しない高圧側浮遊電源から供給される。HOは、高圧側駆動部101による高圧側駆動信号出力である。COMは、共通接地である。VCCは、低圧側駆動部102の

電源となる低圧側固定供給電圧であり、図示しない低圧側固定供給電源から供給される。LOは、低圧側駆動部102による低圧側駆動信号出力である。GNDは、接地電位である。

#### 【0026】

コンデンサC1, C2は、高圧側駆動部101及び低圧側駆動部102に供給される電源電圧をパワーデバイスの動作に伴う電位変動に追従させるために設けられている。

#### 【0027】

以上のような構成により、制御入力HIN, LINに基づくパワーデバイスによる主電源のスイッチングが行われる。

#### 【0028】

ところで、高圧側駆動部101は、回路の接地電位GNDに対して電位的に浮いた状態で動作するので、高圧側回路へ駆動信号を伝達するためのレベルシフト回路を有する構成となっている。

#### 【0029】

図2は、パワーデバイス駆動装置100における高圧側駆動部101の主要部の回路図である。スイッチング素子である高耐圧MOS11は、上記したレベルシフト回路の役割を担っている。スイッチング素子である高圧側駆動信号出力用のCMOS回路（以下「CMOS」）12は、PMOSトランジスタ（以下「PMOS」）15及びNMOSトランジスタ（以下「NMOS」）14から成り、高圧側駆動信号HOを出力する。レベルシフト抵抗13は、CMOS12のゲート電位を設定するためのものであり、プルアップ抵抗に相当する役割を果たしている。

#### 【0030】

高耐圧MOS11は、高圧側制御入力HINに従い、CMOS12のスイッチングを行う。CMOS12は、高圧側浮遊供給絶対電圧VB及び高圧側浮遊オフセット電圧VS間の電圧をスイッチングして高圧側駆動信号出力HOに駆動信号を出力し、外部のパワーデバイスの高圧側スイッチング素子を駆動させる。

#### 【0031】

ここで、以降の説明においては、CMOS 12 及びレベルシフト抵抗 13 を総合して、高圧側駆動回路と称する。

#### 【0032】

図3は、パワーデバイス駆動装置100における高圧島に設けられるレイアウトを示す概略平面図である。CMOS 12 及びレベルシフト抵抗 13 から成る高圧側駆動回路は高圧島と称される領域R2内に形成されており、高耐圧MOS 11は領域R1内に形成されている。その周りを接地電位GNDのアルミニウム配線16, 17で取り囲むことによって、シールドがなされている。

#### 【0033】

図4, 5は、本発明の実施の形態1に係る半導体装置の構造を示す断面図であり、それぞれ図3に示したラインIV-IV, V-Vに沿った位置の断面に対応している。図4を参照して、p-型シリコン基板21の上面内には、p+型分離領域22、n-型不純物領域23、及びn型不純物領域24, 28が形成されている。n型不純物領域28の上面内には、p型ウェル29が形成されている。p+型分離領域22は、p-型シリコン基板21に達している。p+型分離領域22上には電極34が形成されており、p-型シリコン基板21の電位は、回路上最も低い電位(GND又はCOM電位)となっている。また、高耐圧MOS 11のn+型ソース領域11Sの下部にp型ウェル25が形成され、そのp型ウェル25は、ゲート絶縁膜を介してゲート電極11Gの下部に達し、高耐圧MOS 11のチャネル領域を形成している。さらに、p型ウェル25内には、ソース電極35に接するようにp+型不純物領域26及びn+型ソース領域11Sが形成されている。また、高耐圧MOS 11のドレイン電極36に接するようにn+型ドレイン領域11Dが形成されている。

#### 【0034】

高耐圧MOS 11のドレイン電極36は、CMOS 12のPMOS 15及びNMOS 14の各ゲート電極15G, 14Gに接続されており、また、レベルシフト抵抗 13を介してPMOS 15のソース電極39及び高圧側浮遊供給絶対電圧VBに接続されている。

#### 【0035】

一方、CMOS 12 が形成される n 型不純物領域 28 内には、PMOS 15 のソース電極 39 に接するように p+ 型ソース領域 15 S 及び n+ 型不純物領域 30 が形成されており、ドレイン電極 37 に接するように p+ 型ドレイン領域 15 D が形成されている。n 型不純物領域 28 の上面上には、ゲート絶縁膜を介して PMOS 15 のゲート電極 15 G が形成されている。ゲート電極 15 G 上には電極 38 が形成されている。また、NMOS 14 は p 型ウェル 29 内に形成され、NMOS 14 のドレイン電極 44 に接するように n+ 型ドレイン領域 14 D が形成され、ソース電極 42 に接するように n+ 型ソース領域 14 S 及び p+ 型不純物領域 31 が形成されている。p 型ウェル 29 の上面上には、ゲート絶縁膜を介して NMOS 14 のゲート電極 14 G が形成されている。ゲート電極 14 G 上には電極 43 が形成されている。

#### 【0036】

NMOS 14 と PMOS 15 との間において、n 型不純物領域 28 の上面内には、p 型ウェル 29 に接するように p+ 型不純物領域 33 が形成されている。p+ 型不純物領域 33 上には電極 41 が形成されており、電極 41 は高圧側浮遊オフセット電圧  $V_S$  に接続されている。p+ 型不純物領域 33 の不純物濃度は p 型ウェル 29 の不純物濃度よりも高く、また、p+ 型不純物領域 33 は p 型ウェル 29 よりも浅く形成されている。p+ 型不純物領域 33 と PMOS 15 との間において、n 型不純物領域 28 の上面内には、n+ 型不純物領域 32 が形成されている。n+ 型不純物領域 32 上には電極 40 が形成されており、電極 40 は高圧側浮遊供給絶対電圧  $V_B$  に接続されている。

#### 【0037】

図 5 を参照して、p- 型シリコン基板 21 の上面内には、p+ 型分離領域 22、n- 型不純物領域 50、及び n 型不純物領域 28 が形成されている。p+ 型分離領域 22 上には電極 52 が形成されている。n 型不純物領域 28 の上面内には n+ 型不純物領域 51 が形成されており、n+ 型不純物領域 51 上には電極 53 が形成されている。電極 53 は、高圧側浮遊供給絶対電圧  $V_B$  に接続されている。

#### 【0038】

図 5 に示すように、p+ 型ソース領域 15 S、n 型不純物領域 28、p 型ウェ

ル 29、及び  $n^+$ 型ソース領域 14 S から成る横型の寄生サイリスタが存在している。寄生サイリスタは、 $pnp$  型の寄生バイポーラトランジスタ PBP1 と、 $npn$  型の寄生バイポーラトランジスタ PBP2 から成る。

#### 【0039】

図 6、7 は、 $n^+$ 型不純物領域 32 及び  $p^+$ 型不純物領域 33 の形成レイアウトの一例を模式的に示す上面図である。 $p^+$ 型分離領域 22 は、図 3 に示したように領域 R1、R2 を四辺で囲んで形成されている。図 6 に示した例では、 $n^+$ 型不純物領域 32 及び  $p^+$ 型不純物領域 33 は、NMOS14 と PMOS15 とが互いに対向する一辺同士の間形成されている。図 7 に示した例では、 $p^+$ 型不純物領域 33 は、 $p$ 型ウェル 29 の周囲を取り囲んで形成されており、 $n^+$ 型不純物領域 32 は、 $p^+$ 型分離領域 22 と  $p$ 型ウェル 29 との間で  $p$ 型ウェル 29 の周囲を取り囲んで形成されている。図 7 に示した例よりも図 6 に示した例の方が、チップサイズは小さくなる。

#### 【0040】

本実施の形態 1 に係るパワーデバイス及びパワーデバイス駆動装置において、回生期間に、高圧側浮遊オフセット電圧  $V_S$  が共通接地 COM よりも低い負電圧に変動した場合を考える。この場合、高圧側浮遊オフセット電圧  $V_S$  の負変動は、図 1 に示したコンデンサ C1 を介して高圧側浮遊供給絶対電圧  $V_B$  に伝達され、高圧側浮遊供給絶対電圧  $V_B$  の電位も負変動してしまう。図 4、5 を参照して、高圧側浮遊供給絶対電圧  $V_B$  が負変動すると、その負変動は、 $n^-$ 型不純物領域 23、50 及び  $n$ 型不純物領域 24、28 に伝達される。その結果、通常は逆バイアスされているはずの寄生ダイオード PD1～PD4 がターンオンしてしまう、 $n^-$ 型不純物領域 23 及び  $n$ 型不純物領域 24、28 内に電流が流れ込む。

#### 【0041】

しかしながら本実施の形態 1 に係る半導体装置によると、寄生バイポーラトランジスタ PBP1 のベース電流に相当する電子が、高圧側浮遊オフセット電圧  $V_S$  よりも高電位である  $n^+$ 型不純物領域 32 によって吸収される。その結果、寄生バイポーラトランジスタ PBP1 のベース電流が抑制され、寄生サイリスタがターンオンしないため、CMOS12 のラッチアップ破壊を回避することができ

る。

#### 【0042】

また、寄生バイポーラトランジスタPBP2のベース電流に相当するホールが、高圧側浮遊供給絶対電圧VBよりも低電位であるp<sup>+</sup>型不純物領域33によって吸収される。その結果、寄生バイポーラトランジスタPBP2のベース電流が抑制され、寄生サイリスタがターンオンしないため、CMOS12のラッチアップ破壊を回避することができる。図8を参照して、p<sup>+</sup>型分離領域22からn<sup>-</sup>型不純物領域50内に流れ込んだホール電流は、p型ウェル29に到達する前に、p<sup>+</sup>型不純物領域33によって吸収されている。また、p型ウェル29の直下のp<sup>-</sup>型シリコン基板21からn型不純物領域28内に流れ込んだホール電流は、n<sup>+</sup>型不純物領域30、32からn型不純物領域28内に注入される電子によって引き寄せられるため、p型ウェル29内に流れ込むことなく、p<sup>+</sup>型不純物領域33によって吸収される。

#### 【0043】

図5に示したように、p<sup>+</sup>型不純物領域33はp型ウェル29よりも浅く形成されている。そのため、p<sup>+</sup>型不純物領域33の曲率部の電界強度は、p型ウェル29の曲率部の電界強度よりも高くなる。従って、p<sup>+</sup>型不純物領域33はより多くのホール電流を吸収することができ、CMOS12のラッチアップ破壊をより効果的に回避できる。

#### 【0044】

上記の通り、p<sup>+</sup>型不純物領域33の不純物濃度はp型ウェル29の不純物濃度よりも高い。そのため、p<sup>+</sup>型不純物領域33の曲率部の電界強度は、p型ウェル29の曲率部の電界強度よりも高くなる。しかも、p<sup>+</sup>型不純物領域33の不純物濃度を高くすると、p<sup>+</sup>型不純物領域33内のシート抵抗や、p<sup>+</sup>型不純物領域33と電極41とのコンタクト抵抗が小さくなる。従って、p<sup>+</sup>型不純物領域33はより多くのホール電流を吸収することができ、CMOS12のラッチアップ破壊をより効果的に回避できる。

#### 【0045】

図5に示したように、p<sup>+</sup>型不純物領域33は、寄生バイポーラトランジスタ



PBP2のベース層に相当するp型ウェル29に接して形成されている。従って、p<sup>+</sup>型不純物領域33とp型ウェル29との間に隙間が設けられている場合と比較すると、チップサイズを削減できるのみならず、寄生バイポーラトランジスタPBP2のベース層の抵抗が下がるため、p<sup>+</sup>型不純物領域33はより多くのホール電流を吸収することができ、CMOS12のラッチアップ破壊をより効果的に回避できる。

#### 【0046】

高圧側浮遊オフセット電圧VSの負変動に起因してn型不純物領域28内に流れ込む電流は、p<sup>+</sup>型分離領域22からn<sup>+</sup>型不純物領域50を介してn型不純物領域28内に流れ込むものが最も多い。従って、特にp<sup>+</sup>型分離領域22が領域R1、R2の周囲を取り囲んで形成されている場合には、図7に示したように、p型ウェル29の周囲を取り囲むようにp<sup>+</sup>型不純物領域33及びn<sup>+</sup>型不純物領域32を形成することにより、CMOS12のラッチアップ破壊をより効果的に回避できる。

#### 【0047】

なお、n<sup>+</sup>型不純物領域32及びp<sup>+</sup>型不純物領域33の双方ともが形成されていれば最も効果的であるが、いずれか一方のみ形成されている場合であっても有効である。

#### 【0048】

実施の形態2.

図9は、図5に対応させて、本発明の実施の形態2に係る半導体装置の構造を示す断面図である。図5に示したn<sup>+</sup>型不純物領域32及び電極40に代えて、p<sup>+</sup>型不純物領域55及び電極56が形成されている。電極56は高圧側浮遊供給絶対電圧VBに接続されている。p<sup>+</sup>型不純物領域55の不純物濃度はp型ウェル29の不純物濃度よりも高く、また、p<sup>+</sup>型不純物領域55はp型ウェル29よりも浅く形成されている。

#### 【0049】

図6に示した例と同様に、p<sup>+</sup>型不純物領域55は、NMOS14とPMOS15とが互いに対向する一辺同士の間形成されている。あるいは図7に示した

例と同様に、 $p^+$ 型不純物領域 55 は、 $p^+$ 型分離領域 22 と  $p$  型ウェル 29 との間で  $p$  型ウェル 29 の周囲を取り囲んで形成されている。

#### 【0050】

高圧側浮遊オフセット電圧  $V_S$  の負変動に起因して、高圧側浮遊オフセット電圧  $V_S$  及び高圧側浮遊供給絶対電圧  $V_B$  は、 $p^-$ 型シリコン基板 21 及び  $p^+$ 型分離領域 22 の電位よりも低くなる。従って、寄生ダイオード PD1～PD4 がターンオンして  $n$  型不純物領域 28 内に電流が流れ込んだとしても、図 5 に示した寄生バイポーラトランジスタ PBP2 のベース電流に相当するホールが、 $p^+$ 型不純物領域 55, 33 によって吸収される。その結果、寄生バイポーラトランジスタ PBP2 のベース電流が抑制され、寄生サイリスタがターンオンしないため、CMOS12 のラッチアップ破壊を回避することができる。

#### 【0051】

また、 $n^+$ 型不純物領域 32 ではなく  $p^+$ 型不純物領域 55 が形成されているため、高圧側浮遊オフセット電圧  $V_S$  の負変動に起因して図 4, 5 に示した寄生ダイオード PD1～PD4 がターンオンしたときに、 $p^+$ 型不純物領域 55 から  $n$  型不純物領域 28 へ電子が注入されることはない。そのため、 $p^-$ 型シリコン基板 21 及び  $p^+$ 型分離領域 22 からのホールの供給も減少し、結果として  $n$  型不純物領域 28 内に流れ込むホール電流が低減されるため、CMOS12 のラッチアップ破壊をより効果的に回避できる。

#### 【0052】

なお、 $p^+$ 型不純物領域 55 及び  $p^+$ 型不純物領域 33 の双方ともが形成されていれば最も効果的であるが、いずれか一方のみ形成されている場合であっても有効である。

#### 【0053】

実施の形態 3.

図 10 は、図 5 に対応させて、本発明の実施の形態 3 に係る半導体装置の構造を示す断面図である。図 5 に示した  $n^+$ 型不純物領域 32 及び電極 40 に代えて、 $p^+$ 型不純物領域 57 及び電極 58 が形成されている。電極 58 は高圧側浮遊オフセット電圧  $V_S$  に接続されている。 $p^+$ 型不純物領域 57 の不純物濃度は  $p$

型ウェル 29 の不純物濃度よりも高く、また、 $p^+$ 型不純物領域 57 は  $p$  型ウェル 29 よりも浅く形成されている。

#### 【0054】

図 6 に示した例と同様に、 $p^+$ 型不純物領域 57 は、NMOS 14 と PMOS 15 とが互いに対向する一辺同士の間形成されている。あるいは図 7 に示した例と同様に、 $p^+$ 型不純物領域 57 は、 $p^+$ 型分離領域 22 と  $p$  型ウェル 29 との間で  $p$  型ウェル 29 の周囲を取り囲んで形成されている。

#### 【0055】

高圧側浮遊オフセット電圧  $V_S$  の負変動に起因して、高圧側浮遊オフセット電圧  $V_S$  及び高圧側浮遊供給絶対電圧  $V_B$  は、 $p$ -型シリコン基板 21 及び  $p^+$ 型分離領域 22 の電位よりも低くなる。従って、寄生ダイオード PD1 ~ PD4 がターンオンして  $n$  型不純物領域 28 内に電流が流れ込んだとしても、図 5 に示した寄生バイポーラトランジスタ PBP2 のベース電流に相当するホールが、 $p^+$ 型不純物領域 57, 33 によって吸収される。その結果、寄生バイポーラトランジスタ PBP2 のベース電流が抑制され、寄生サイリスタがターンオンしないため、CMOS 12 のラッチアップ破壊を回避することができる。

#### 【0056】

また、 $p^+$ 型不純物領域 57, 33 はいずれも高圧側浮遊オフセット電圧  $V_S$  に接続されて同電位であるため、 $p^+$ 型不純物領域 57、 $n$  型不純物領域 28、及び  $p^+$ 型不純物領域 33 から成る  $pnp$  型の寄生バイポーラトランジスタが動作することがない。従って、この寄生バイポーラトランジスタが動作することに起因する高圧側駆動部 101 の誤動作を回避することもできる。

#### 【0057】

なお、 $p^+$ 型不純物領域 57 及び  $p^+$ 型不純物領域 33 の双方ともが形成されていれば最も効果的であるが、いずれか一方のみ形成されている場合であっても有効である。

#### 【0058】

実施の形態 4.

図 11 は、図 5 に対応させて、本発明の実施の形態 4 に係る半導体装置の構造

を示す断面図である。図 5 に示した n+型不純物領域 32 及び電極 40 に代えて、p+型不純物領域 59 及び電極 60 が形成されている。電極 60 は高圧側浮遊供給絶対電圧  $V_B$  に接続されている。p+型不純物領域 59 は、p+型ドレイン領域 15D と n+型不純物領域 51 との間に形成されている。

#### 【0059】

図 12 は、p+型不純物領域 59 及び p+型不純物領域 33 の形成レイアウトを模式的に示す上面図である。p+型分離領域 22 は、図 3 に示したように領域 R1、R2 を四辺で囲んで形成されている。図 12 に示すように、p+型不純物領域 33 は p 型ウェル 29 の周囲を取り囲んで形成されており、p+型不純物領域 59 は、p+型分離領域 22 と p 型ウェル 29 及び PMOS 15 との間で p 型ウェル 29 及び PMOS 15 を取り囲んで、p+型分離領域 22 と平行に形成されている。

#### 【0060】

上記の通り、高圧側浮遊オフセット電圧  $V_S$  の負変動に起因して n 型不純物領域 28 内に流れ込む電流は、p+型分離領域 22 から n-型不純物領域 50 を介して n 型不純物領域 28 内に流れ込むものが最も多い。従って、図 12 に示したように p+型分離領域 22 と平行に p+型不純物領域 59 を形成することによって、寄生バイポーラトランジスタ PBP2 のベース電流に相当するホールを、p+型不純物領域 59 によって、p 型ウェル 29 内に流れ込む前に効率的に吸収することができる。その結果、寄生バイポーラトランジスタ PBP2 のベース電流が抑制され、寄生サイリスタがターンオンしないため、CMOS 12 のラッチアップ破壊を効率的に回避することができる。

#### 【0061】

なお、p+型不純物領域 59 及び p+型不純物領域 33 の双方ともが形成されていれば最も効果的であるが、いずれか一方のみ形成されている場合であっても有効である。

#### 【0062】

実施の形態 5.

図 13 は、図 9 に対応させて、本発明の実施の形態 5 に係る半導体装置の構造

を示す断面図である。p<sup>+</sup>型不純物領域55を貫通してn型不純物領域28の上面内にトレンチ63が形成されており、トレンチ63の内部は、シリコン酸化膜61及びポリシリコン62によって充填されている。また、トレンチ63の壁面を規定している部分のn型不純物領域28内には、p<sup>+</sup>型不純物領域64が形成されている。p<sup>+</sup>型不純物領域64は、p<sup>+</sup>型不純物領域55及び電極56に接している。

#### 【0063】

図6に示した例と同様に、p<sup>+</sup>型不純物領域55、64は、NMOS14とPMOS15とが互いに対向する一辺同士の間形成されている。あるいは図7に示した例と同様に、p<sup>+</sup>型不純物領域55、64は、p<sup>+</sup>型分離領域22とp型ウェル29との間でp型ウェル29の周囲を取り囲んで形成されている。

#### 【0064】

p<sup>+</sup>型不純物領域55に接するp<sup>+</sup>型不純物領域64をトレンチ63の壁面に沿って形成することにより、図9に示した構造と比較すると、p<sup>+</sup>型不純物領域55の実効的な面積を広げることが可能となる。しかも、トレンチ63の底部の電界強度は、p型ウェル29の曲率部の電界強度よりも高い。従って、図9に示した構造と比較して、n型不純物領域28内に流れ込んだホール電流を、p<sup>+</sup>型不純物領域55、64によってより多く吸収できる。その結果、CMOS12のラッチアップ破壊をより効率的に回避することができる。

#### 【0065】

また、p<sup>+</sup>型不純物領域64の形成によってホール電流の吸収効率が高まったことから、図9に示した構造よりもp<sup>+</sup>型不純物領域55の面積を小さくでき、それによってチップサイズを削減することができる。

#### 【0066】

図13に示した例では、p型ウェル29よりも深いトレンチ63が形成されている。トレンチ63が深く形成されているほどp<sup>+</sup>型不純物領域64の面積が増大し、ホール電流の吸収効率を高めることができる。

#### 【0067】

但し、トレンチ63を20 $\mu$ mよりも深く形成すると、耐圧(V<sub>B</sub>とV<sub>S</sub>とを

短絡した状態でGND方向に電圧を印加していき、pn接合降伏が起こる電圧)が低下するという問題が発生する。従って、耐压性能をも満足させる必要がある場合にはトレンチ63の深さを $20\mu\text{m}$ 以下とすることによって、耐压が低下することを回避できる。

#### 【0068】

なお、p<sup>+</sup>型不純物領域55、64とp<sup>+</sup>型不純物領域33とが双方とも形成されていれば最も効果的であるが、いずれか一方のみ形成されている場合であっても有効である。また、図13では電極56が高圧側浮遊供給絶対電圧VBに接続された構造を示したが、電極56は、高圧側浮遊オフセット電圧VSに接続されていてもよい。

#### 【0069】

実施の形態6.

図14は、図5に対応させて、本発明の実施の形態6に係る半導体装置の構造を示す断面図である。p<sup>+</sup>型不純物領域33に接してn<sup>+</sup>型不純物領域66が形成されており、n<sup>+</sup>型不純物領域32に接してp<sup>+</sup>型不純物領域65が形成されている。p<sup>+</sup>型不純物領域33及びn<sup>+</sup>型不純物領域66は、p型ウェル29内に形成されている。p<sup>+</sup>型不純物領域33及びn<sup>+</sup>型不純物領域66は電極68に接しており、電極68は高圧側浮遊オフセット電圧VSに接続されている。n<sup>+</sup>型不純物領域32及びp<sup>+</sup>型不純物領域65は電極67に接しており、電極67は高圧側浮遊供給絶対電圧VBに接続されている。

#### 【0070】

図6に示した例と同様に、p<sup>+</sup>型不純物領域33及びn<sup>+</sup>型不純物領域66、並びにn<sup>+</sup>型不純物領域32及びp<sup>+</sup>型不純物領域65は、NMOS14とPMOS15とが互いに対向する一辺同士の間形成されている。あるいは図7に示した例と同様に、p<sup>+</sup>型不純物領域33及びn<sup>+</sup>型不純物領域66は、p型ウェル29の外周に沿って形成されており、n<sup>+</sup>型不純物領域32及びp<sup>+</sup>型不純物領域65は、p<sup>+</sup>型分離領域22とp型ウェル29との間でp型ウェル29の周囲を取り囲んで形成されている。

#### 【0071】

n<sup>+</sup>型不純物領域 66 に接する p<sup>+</sup>型不純物領域 33 では、p<sup>+</sup>型不純物領域 33 に吸収されたホールは n<sup>+</sup>型不純物領域 66 の電子によって即座に再結合が可能となるため、ホールが消滅しやすい。また、p<sup>+</sup>型不純物領域 65 に接する n<sup>+</sup>型不純物領域 32 では、n<sup>+</sup>型不純物領域 32 に吸収された電子は p<sup>+</sup>型不純物領域 65 のホールによって即座に再結合が可能となるため、電子が消滅しやすい。よって、図 5 に示した構造と比較すると、p<sup>+</sup>型不純物領域 33 によるホールの吸収効率、及び n<sup>+</sup>型不純物領域 32 による電子の吸収効率を高めることができる。

#### 【0072】

なお、以上の説明では、上記実施の形態 1 を基礎として本実施の形態 6 に係る発明を適用する例について述べたが、本実施の形態 6 に係る発明は、他の全ての実施の形態にも適用可能である。

#### 【0073】

実施の形態 7.

図 15 は、図 5 に対応させて、本発明の実施の形態 7 に係る半導体装置の構造を示す断面図である。NMOS 14 と PMOS 15 との間において、n 型不純物領域 28 の上面内には、p<sup>+</sup>型不純物領域 71 が形成されている。p<sup>+</sup>型不純物領域 71 と NMOS 14 との間には、p<sup>+</sup>型不純物領域 71 に接して n<sup>+</sup>型不純物領域 72 が形成されている。p<sup>+</sup>型不純物領域 71 と PMOS 15 との間には、p<sup>+</sup>型不純物領域 71 に接して n<sup>+</sup>型不純物領域 70 が形成されている。

#### 【0074】

また、p<sup>+</sup>型不純物領域 71 を貫通して n 型不純物領域 28 の上面内にトレンチ 75 が形成されており、トレンチ 75 の内部は、シリコン酸化膜 73 及びポリシリコン 74 によって充填されている。また、トレンチ 75 の壁面を規定している部分の n 型不純物領域 28 内には、p<sup>+</sup>型不純物領域 76 が形成されている。p<sup>+</sup>型不純物領域 76 は、p<sup>+</sup>型不純物領域 71 に接している。

#### 【0075】

n 型不純物領域 28 の上面上には、p<sup>+</sup>型不純物領域 71、76 に接するフローティング電極 77 が形成されている。また、図 15 に示した例では、フローテ

ィング電極 77 は、 $n^+$ 型不純物領域 70 に接することなく  $n^+$ 型不純物領域 72 に接している。但しフローティング電極 77 は、 $n^+$ 型不純物領域 72 に接することなく  $n^+$ 型不純物領域 70 に接していてもよく、あるいは、 $n^+$ 型不純物領域 70、72 の双方に接していてもよい。

#### 【0076】

図 6 に示した例と同様に、 $p^+$ 型不純物領域 71、76 及び  $n^+$ 型不純物領域 70、72 は、NMOS 14 と PMOS 15 とが互いに対向する一辺同士の間形成されている。あるいは図 7 に示した例と同様に、 $p^+$ 型不純物領域 71、76 及び  $n^+$ 型不純物領域 70、72 は、 $p^+$ 型分離領域 22 と  $p$ 型ウェル 29 との間で  $p$ 型ウェル 29 の周囲を取り囲んで形成されている。

#### 【0077】

フローティング電極 77 に接続された  $p^+$ 型不純物領域 71、76 及び  $n^+$ 型不純物領域 70、72 は、PN ショート効果によって、 $p^+$ 型不純物領域 71、76 の電位を下げて近傍にあるホールを吸い込むとともに、 $n^+$ 型不純物領域 70、72 の電位を上げて近傍にある電子を吸い込む。そして、再結合速度が無限大に大きいメタルショートによってホール及び電子が再結合して消滅する。従って、高圧側浮遊オフセット電圧  $V_S$  の負変動に起因して  $n$ 型不純物領域 28 内に流れ込んだホール及び電子は、 $p^+$ 型不純物領域 71、76 及び  $n^+$ 型不純物領域 70、72 によってそれぞれ吸い込まれて消滅するため、CMOS 12 のラッチアップ破壊を回避することができる。

#### 【0078】

また、 $p^+$ 型不純物領域 71 に接する  $p^+$ 型不純物領域 76 をトレンチ 75 の壁面に沿って形成することにより、 $p^+$ 型不純物領域 71 の実効的な面積を広げることが可能となる。しかも、トレンチ 75 の底部の電界強度は、 $p$ 型ウェル 29 の曲率部の電界強度よりも高い。従って、 $n$ 型不純物領域 28 内に流れ込んだホール電流を、 $p^+$ 型不純物領域 71、76 によってより多く吸収できる。その結果、CMOS 12 のラッチアップ破壊をより効率的に回避することができる。

#### 【0079】

$n^+$ 型不純物領域 70、72 の一方は必ずしも形成されていなくてもよいが、



双方とも形成されている方が効果的である。

#### 【0080】

図15に示した例では、p型ウェル29よりも深いトレンチ75が形成されている。トレンチ75が深く形成されているほどp+型不純物領域76の面積が増大し、ホール電流の吸収効率を高めることができる。

#### 【0081】

但し、トレンチ75を20  $\mu$ mよりも深く形成すると、耐圧が低下するという問題が発生する。従って、耐圧性能をも満足させる必要がある場合にはトレンチ75の深さを20  $\mu$ m以下とすることによって、耐圧が低下することを回避できる。

#### 【0082】

実施の形態8.

上記実施の形態1～7に係る半導体装置について、意図的に制御された再結合中心となるエネルギー準位を導入し、この準位を利用して蓄積キャリアを再結合で消滅させる。例えば、電子線照射及びアニール、白金拡散、又は金拡散によって、p-型シリコン基板21の深さ方向全域に渡って結晶欠陥を形成し、この結晶欠陥をキャリアのライフタイムキラーとして利用する。

#### 【0083】

本実施の形態8に係る半導体装置によると、図4、5に示した寄生ダイオードPD1～PD4は、キャリアのライフタイムが短く抑制される。そのため、寄生ダイオードPD1～PD4中に蓄積されるキャリアの量が低減され、その結果、順電流が少なくなると、寄生ダイオードPD1～PD4の逆回復電流が抑制される。これにより、高圧側浮遊オフセット電圧VSの負変動に起因する誤動作耐量が向上する。

#### 【0084】

また、キャリアのライフタイムキラーを形成することにより、高圧側浮遊オフセット電圧VSの負変動に起因してn型不純物領域28内に流れ込むホール電流が少なくなるため、CMOS12のラッチアップ破壊を回避することもできる。

#### 【0085】

実施の形態 9.

上記実施の形態 8 では、電子線照射及びアニール、白金拡散、又は金拡散によって結晶欠陥を形成したが、この方法では p-型シリコン基板 21 の深さ方向全域に渡って結晶欠陥が形成されるため、NMOS 14 や PMOS 15 のリーク電流が増大する可能性がある。また、電子線照射は、高耐圧 MOS 11、NMOS 14、及び PMOS 15 のゲート酸化膜内にプラスの電荷を誘導するため、ゲート・ソース間のしきい値電圧特性が変動するおそれがある。

#### 【0086】

そこで、本実施の形態 9 では、上記実施の形態 1～7 に係る半導体装置について、ヘリウム照射及びアニール、又はプロトン照射及びアニールによって、p-型シリコン基板 21 の所定の深さ（高耐圧 MOS 11、NMOS 14、及び PMOS 15 の各チャネル領域よりも深い箇所）に結晶欠陥を形成し、この結晶欠陥をキャリアのライフタイムキラーとして利用する。ヘリウム照射及びプロトン照射では、イオンの飛程（イオンのシリコン中への侵入深さ）付近に集中的に結晶欠陥が誘起される。このため、p-型シリコン基板 21 の深さ方向に関して局所的なキャリアライフタイム制御が可能となる。

#### 【0087】

本実施の形態 9 に係る半導体装置によると、上記実施の形態 8 によって得られる効果に加えて、リーク電流の増大やしきい値電圧の変動を回避できるという効果も得られる。

#### 【0088】

実施の形態 10.

図 16 は、図 5 に対応させて、本発明の実施の形態 10 に係る半導体装置の構造を示す断面図である。上記実施の形態 1～9 では高圧側駆動部 101 の構造に関して説明したが、図 16 に示すように、上記実施の形態 1～9 に係る発明を低圧側駆動部 102 に適用することも可能である。

#### 【0089】

低圧側駆動部 102 では、p+型ソース領域 15S、n 型不純物領域 28、p 型ウェル 29、及び n+型ソース領域 14S から成るサイリスタが寄生している

。出力端子LOにVCC電圧よりも高いサージ電圧が印加されると、出力端子LOに接続されているp<sup>+</sup>型ドレイン領域15Dからn型不純物領域28へホールが流れ込み、そのホール電流がp型ウェル29内に流れ込むことによって、n型不純物領域28、p型ウェル29、及びn<sup>+</sup>型ソース領域14Sから成る寄生バイポーラトランジスタが動作して、上記の寄生サイリスタがラッチアップに至る場合がある。

#### 【0090】

しかし、上記実施の形態1～9に係る発明を適用し、例えば図16に示すようにp<sup>+</sup>型不純物領域33, 55, 64を形成することによって、p<sup>+</sup>型ドレイン領域15Dからn型不純物領域28へ流れ込んだホール電流は、p型ウェル29内に流れ込む前にp<sup>+</sup>型不純物領域55, 64で吸収され、また、p型ウェル29内に流れ込んだホール電流はp<sup>+</sup>型不純物領域33で吸収される。これにより、上記寄生サイリスタのラッチアップを回避することができる。

#### 【0091】

##### 【発明の効果】

第1～第8の発明によれば、高圧側浮遊オフセット電圧の負変動に起因するラッチアップ破壊を回避することができる。

##### 【図面の簡単な説明】

【図1】 パワーデバイス及びパワーデバイス駆動装置の構成を説明するための概略構成図である。

【図2】 高圧側駆動部の主要部の回路図である。

【図3】 パワーデバイス駆動装置における高圧島に設けられるレイアウトを示す概略平面図である。

【図4】 本発明の実施の形態1に係る半導体装置の構造を示す断面図である。

【図5】 本発明の実施の形態1に係る半導体装置の構造を示す断面図である。

【図6】 n<sup>+</sup>型不純物領域及びp<sup>+</sup>型不純物領域の形成レイアウトの一例を模式的に示す上面図である。

【図 7】  $n^+$ 型不純物領域及び  $p^+$ 型不純物領域の形成レイアウトの一例を模式的に示す上面図である。

【図 8】 本発明の実施の形態 1 に係る半導体装置の効果を説明するための断面図である。

【図 9】 本発明の実施の形態 2 に係る半導体装置の構造を示す断面図である。

【図 1 0】 本発明の実施の形態 3 に係る半導体装置の構造を示す断面図である。

【図 1 1】 本発明の実施の形態 4 に係る半導体装置の構造を示す断面図である。

【図 1 2】  $p^+$ 型不純物領域及び  $p^+$ 型不純物領域の形成レイアウトを模式的に示す上面図である。

【図 1 3】 本発明の実施の形態 5 に係る半導体装置の構造を示す断面図である。

【図 1 4】 本発明の実施の形態 6 に係る半導体装置の構造を示す断面図である。

【図 1 5】 本発明の実施の形態 7 に係る半導体装置の構造を示す断面図である。

【図 1 6】 本発明の実施の形態 1 0 に係る半導体装置の構造を示す断面図である。

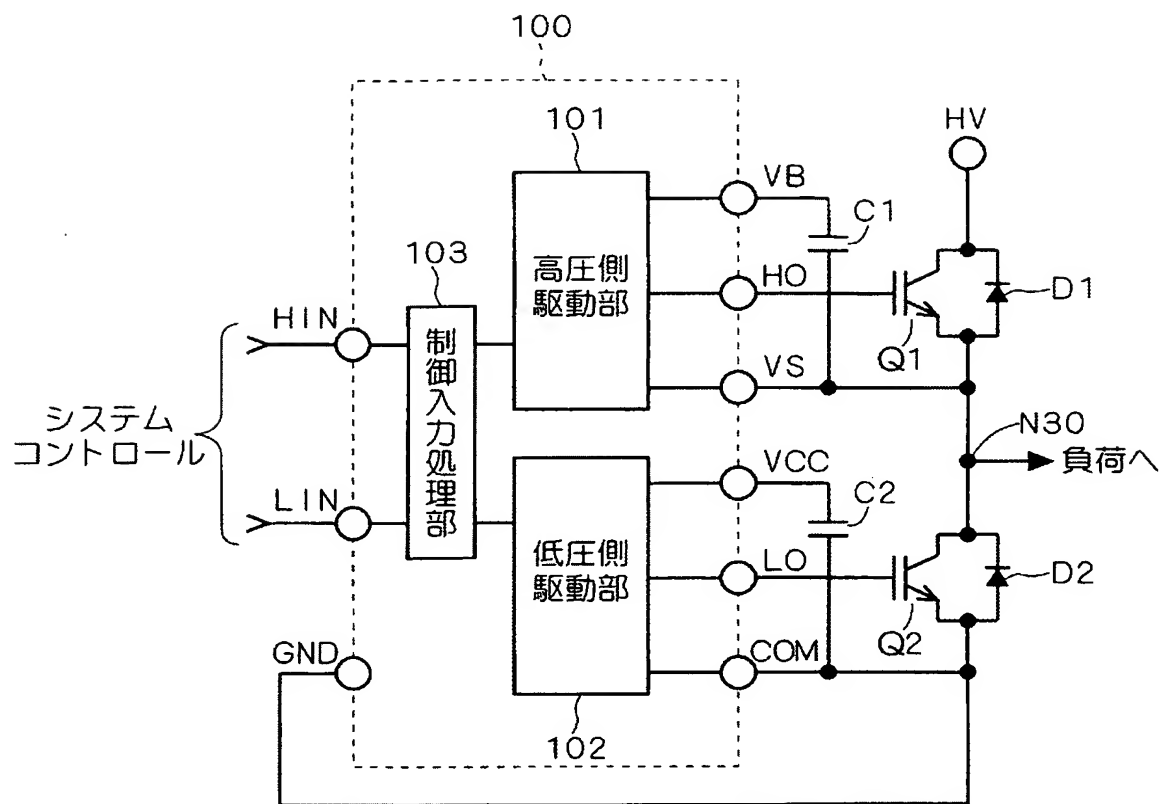
#### 【符号の説明】

2 1  $p$ -型シリコン基板、2 2  $p^+$ 型分離領域、2 8  $n$ 型不純物領域、2 9  $p$ 型ウェル、1 4 S  $n^+$ 型ソース領域、1 5 S  $p^+$ 型ソース領域、3 2, 6 6, 7 0, 7 2  $n^+$ 型不純物領域、3 3, 5 5, 5 7, 5 9, 6 4, 6 5, 7 1, 7 6  $p^+$ 型不純物領域、6 3, 7 5 トレンチ。

【書類名】

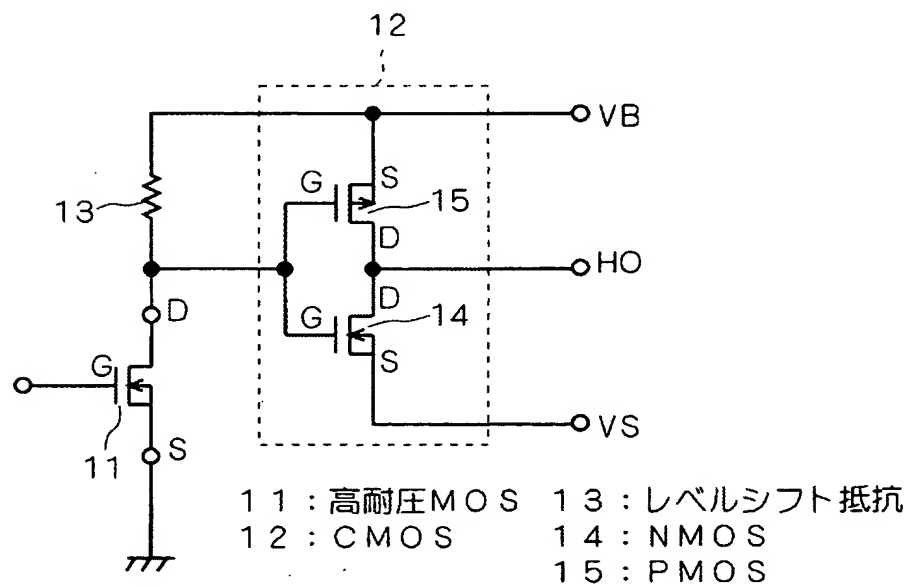
図面

【図 1】

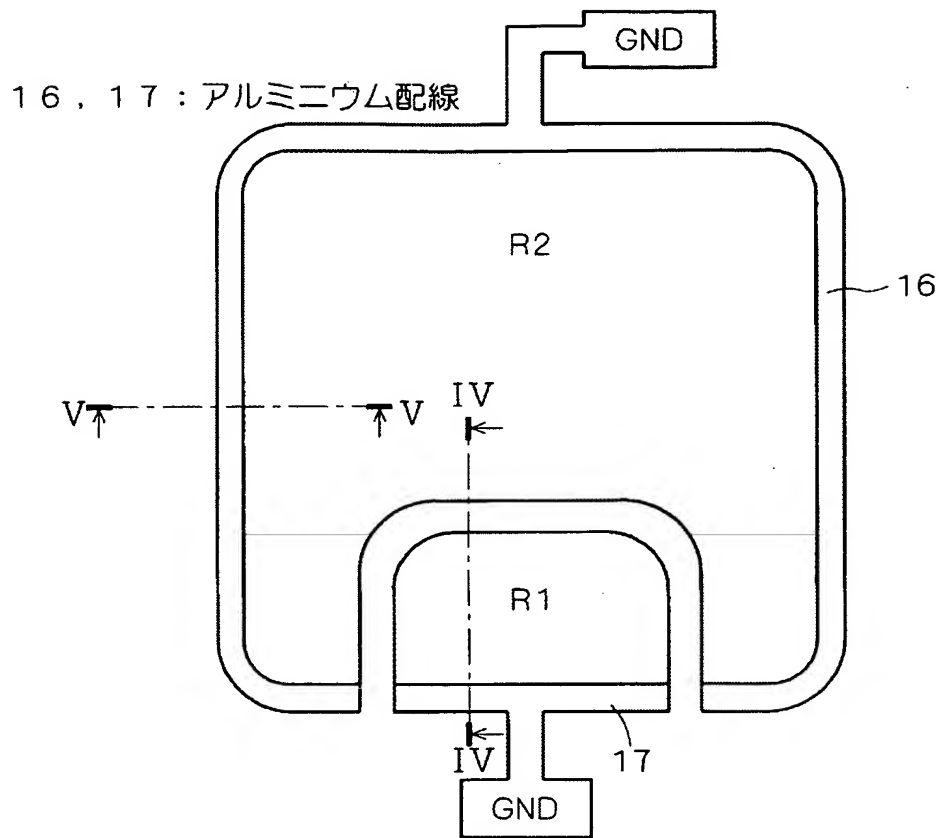


100 : パワーデバイス駆動装置

【図 2】

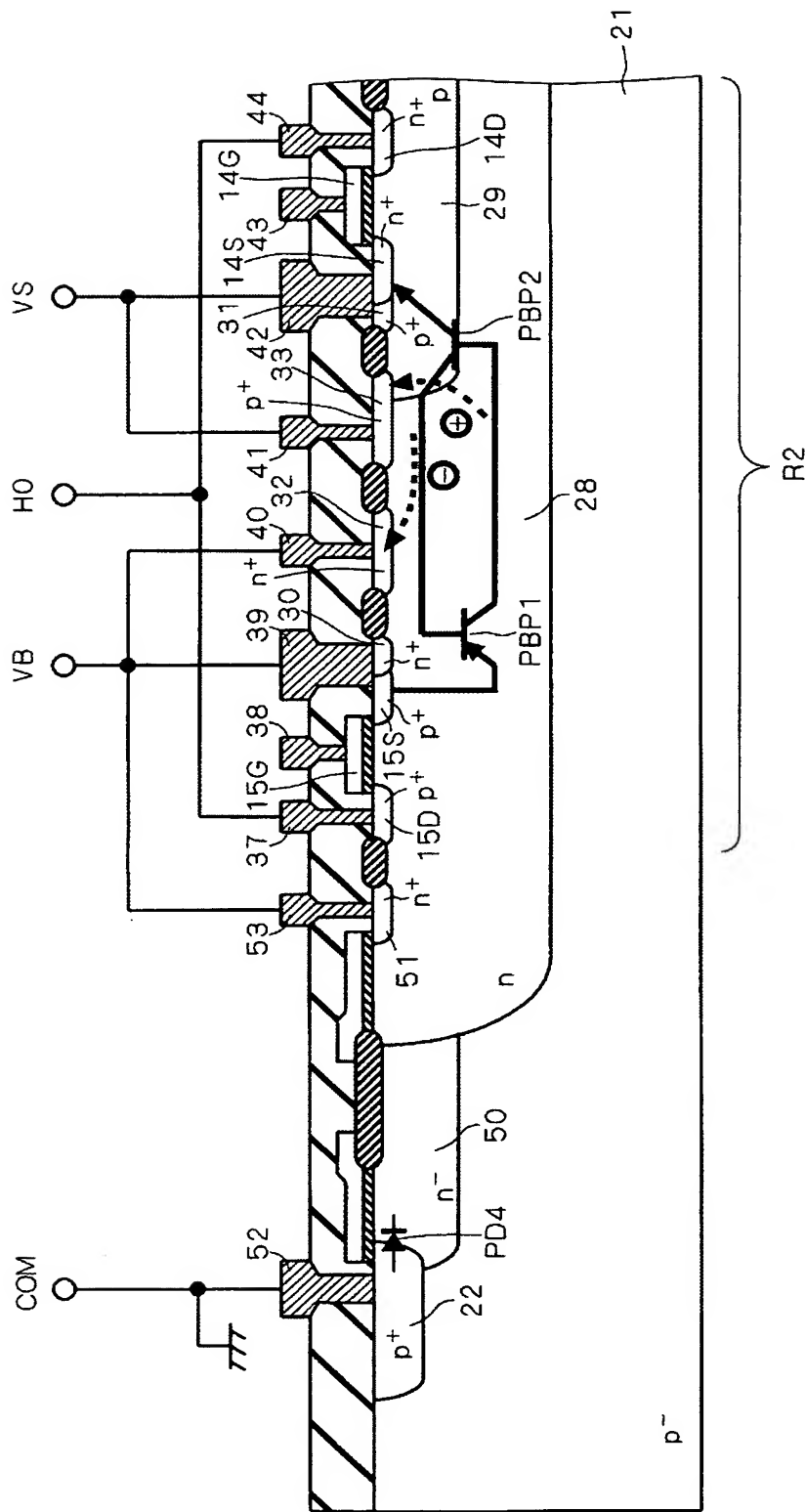


【図 3】



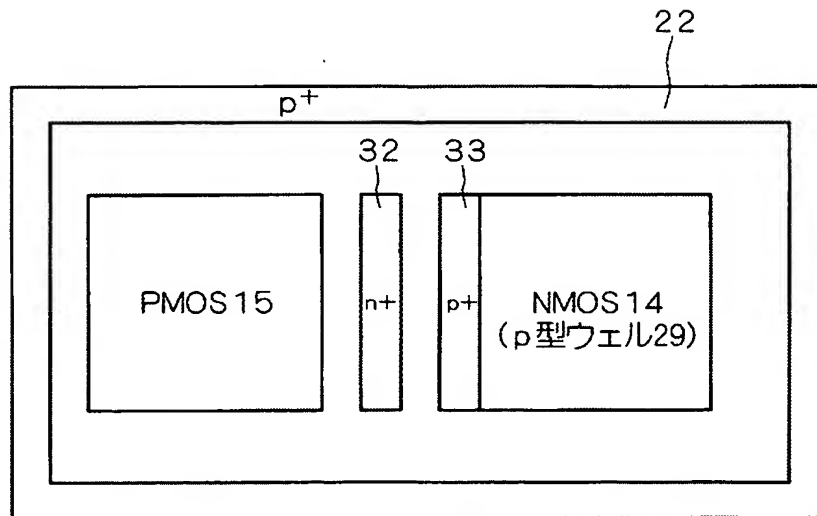


【図 5】

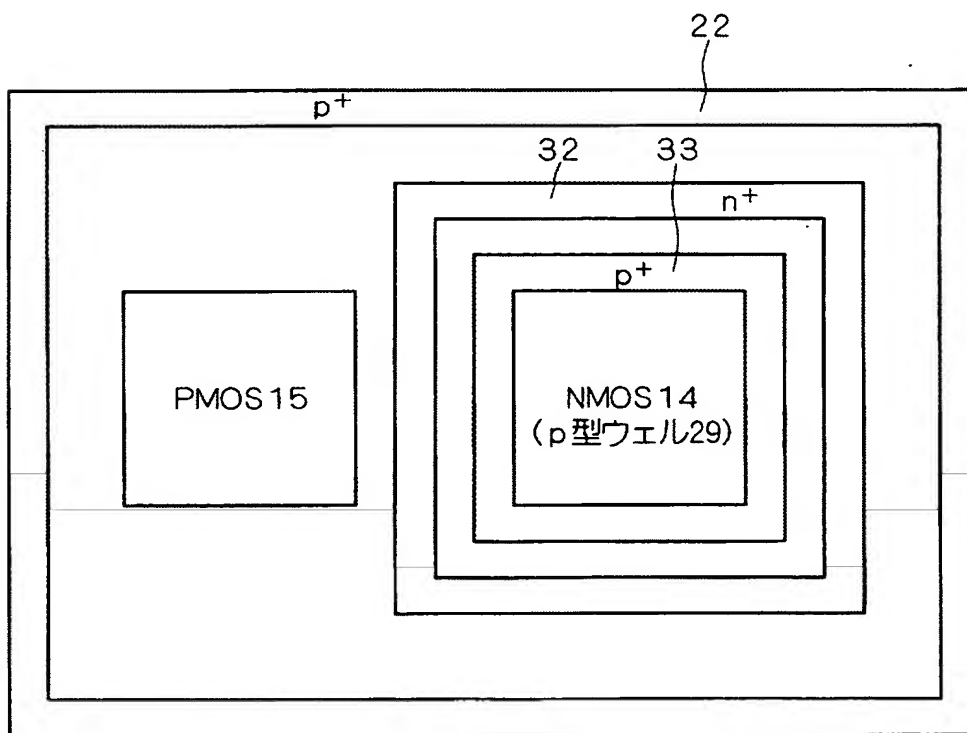




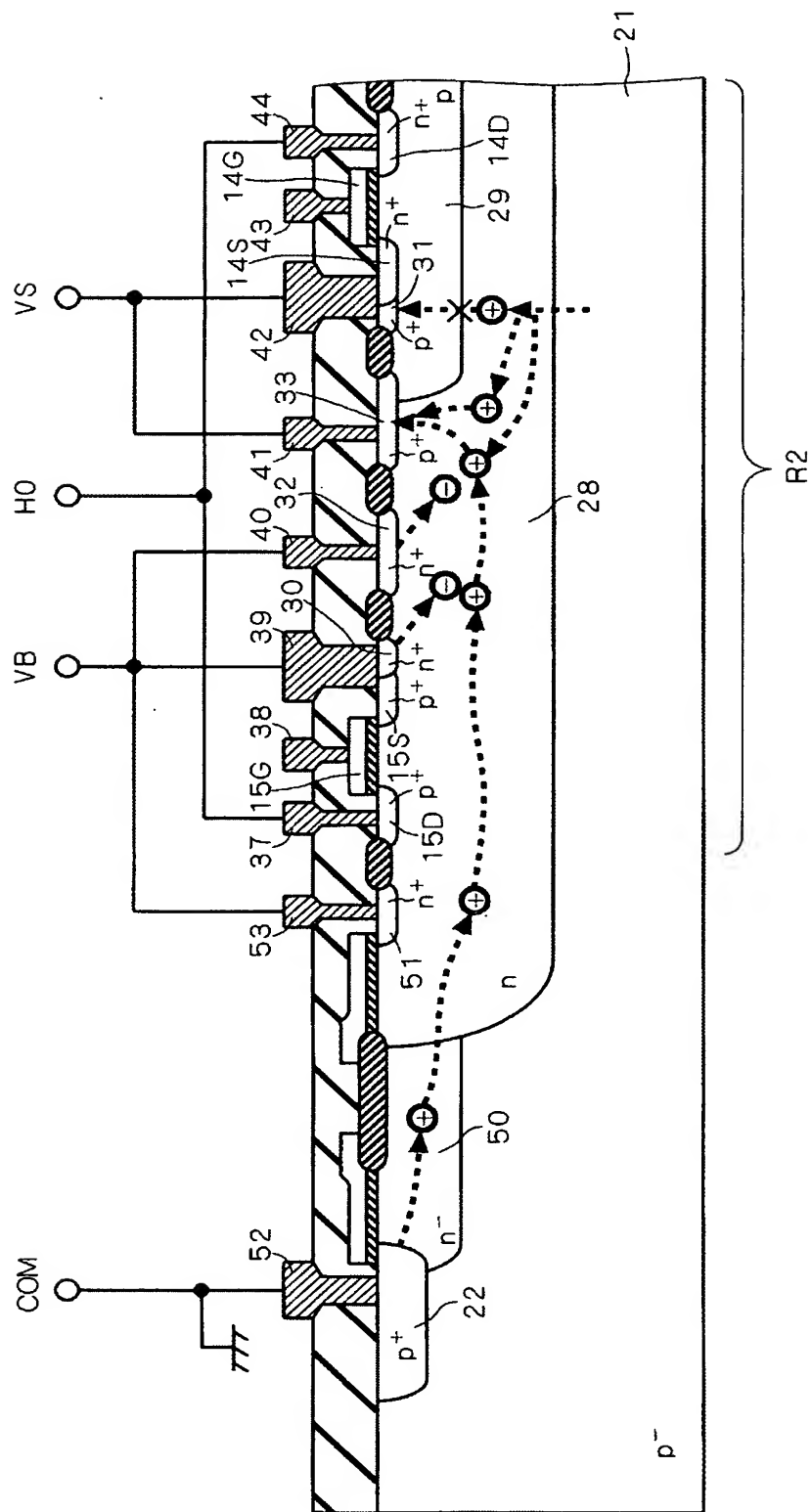
【図 6】



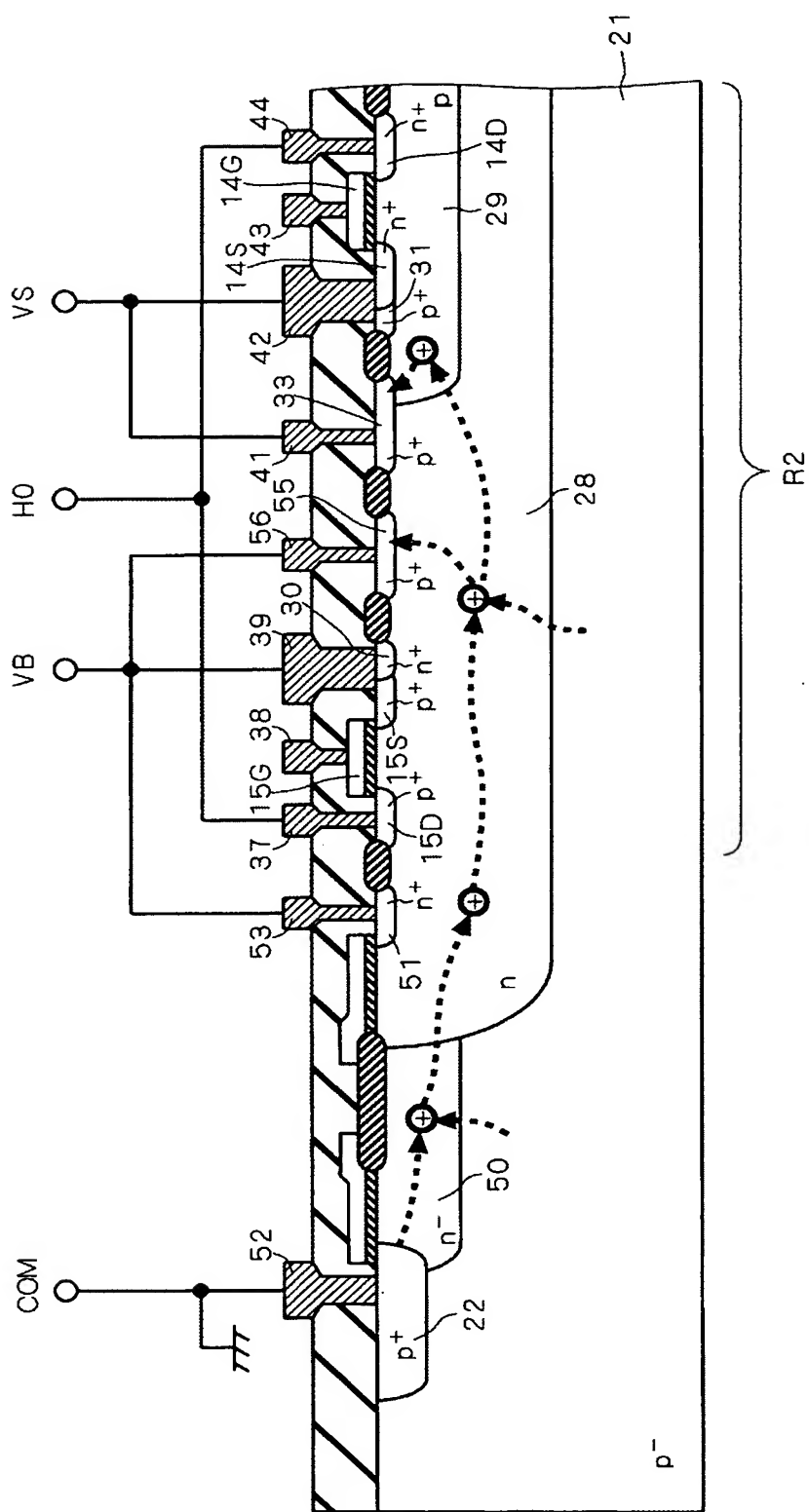
【図 7】



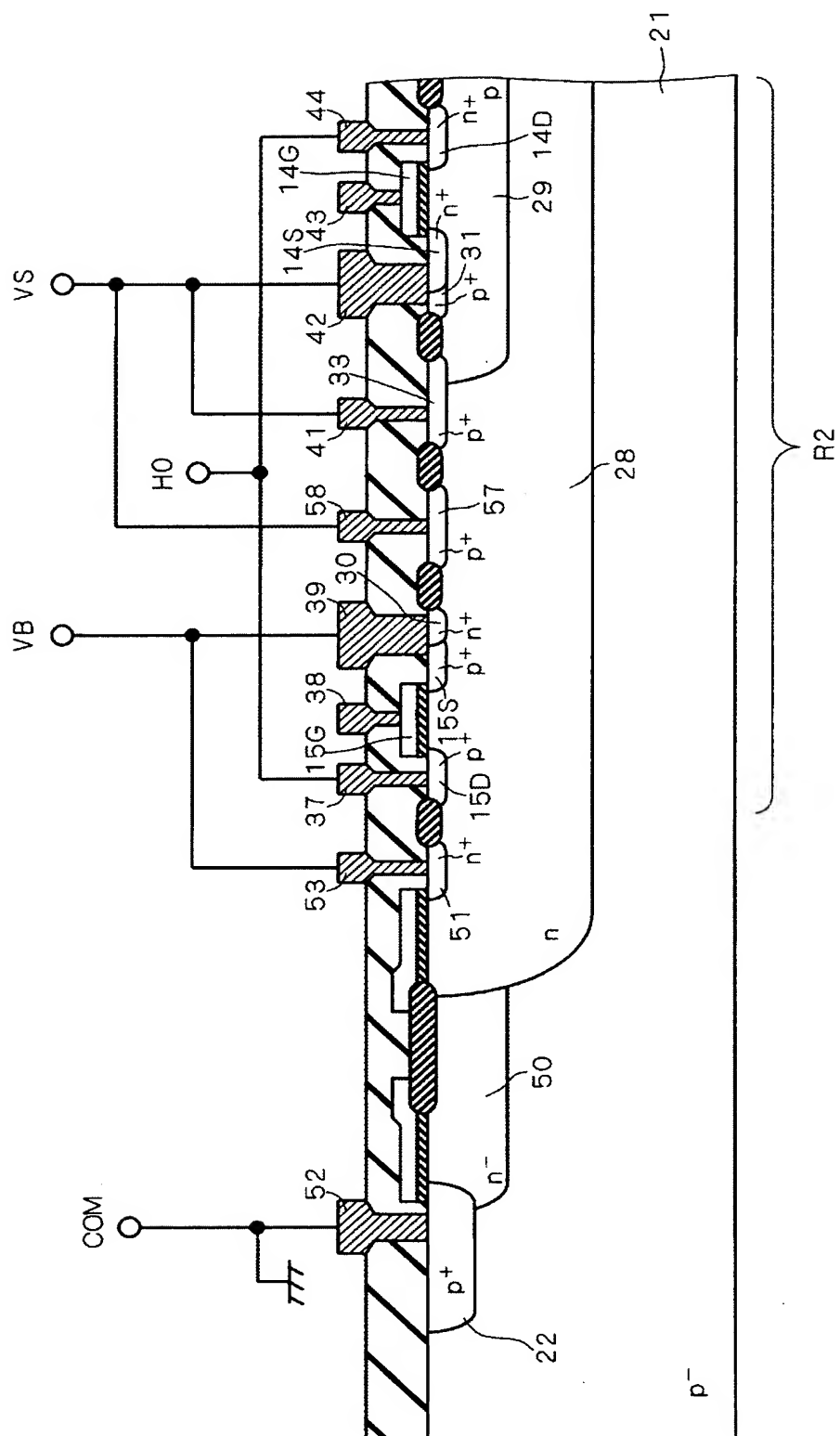
【図 8】



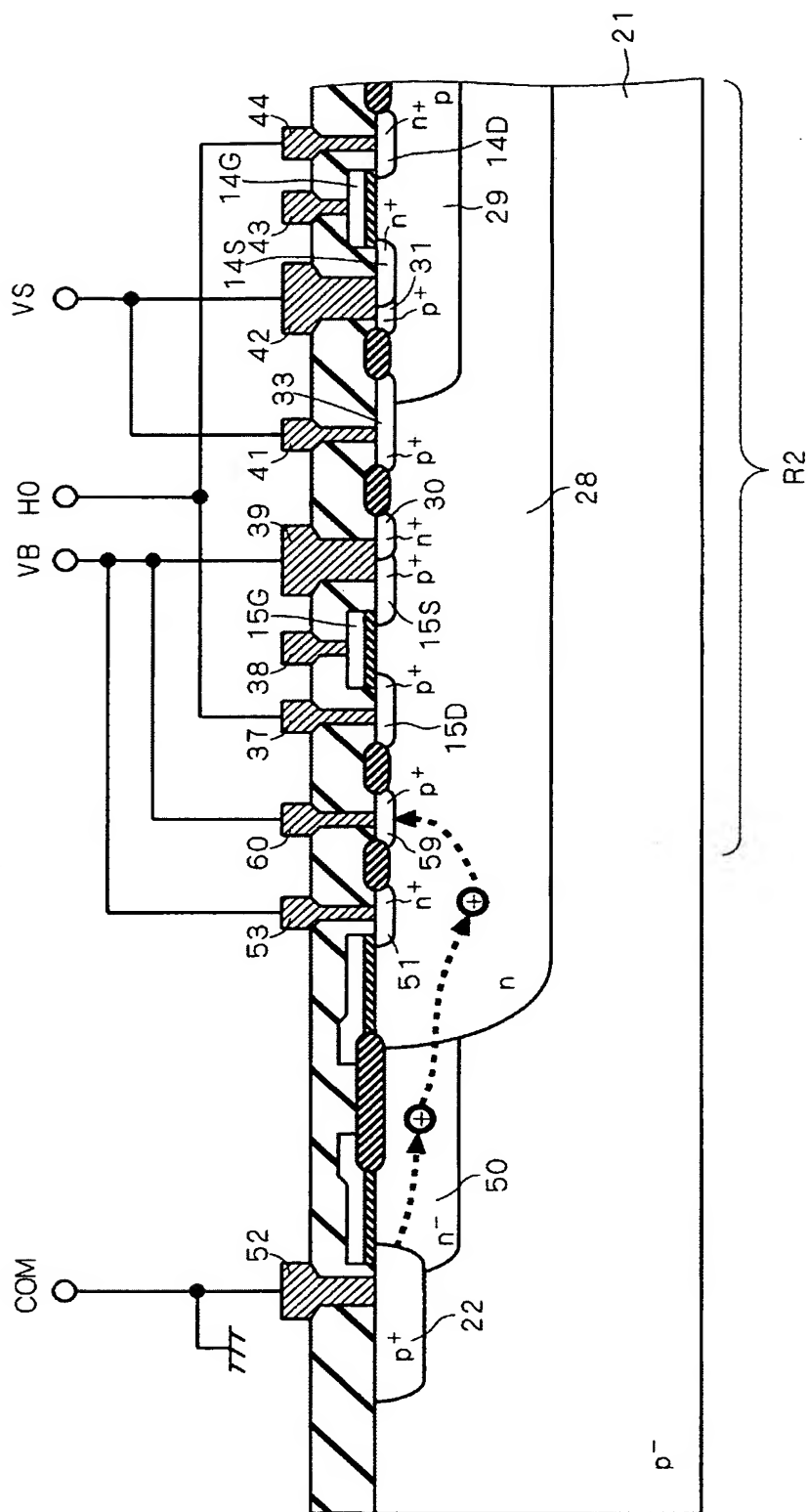
【図 9】



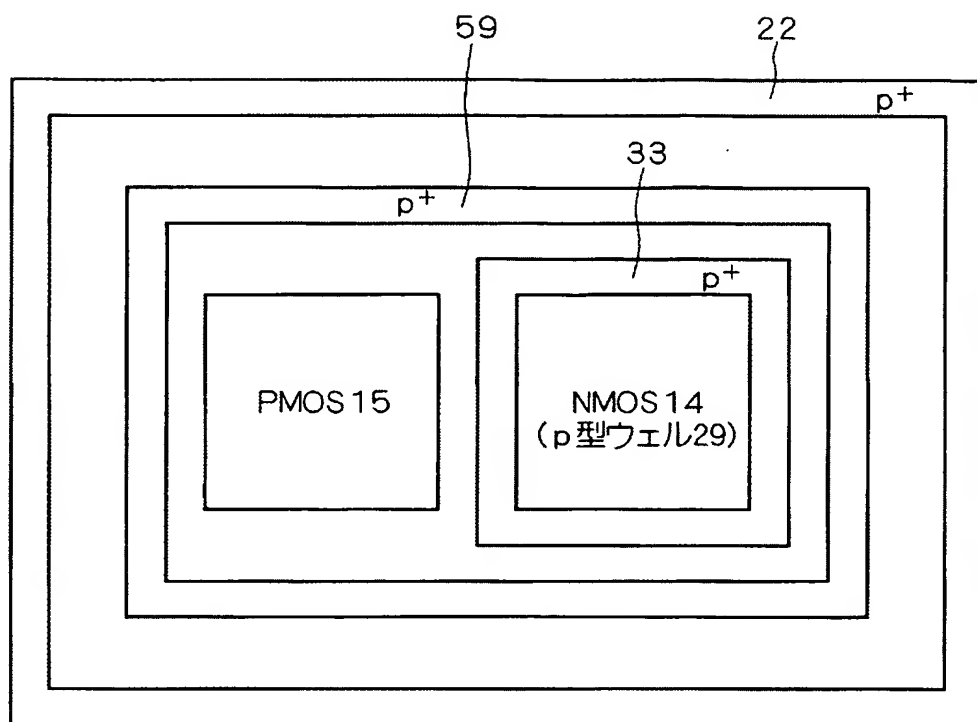
【図 10】



【図 11】



【図 12】



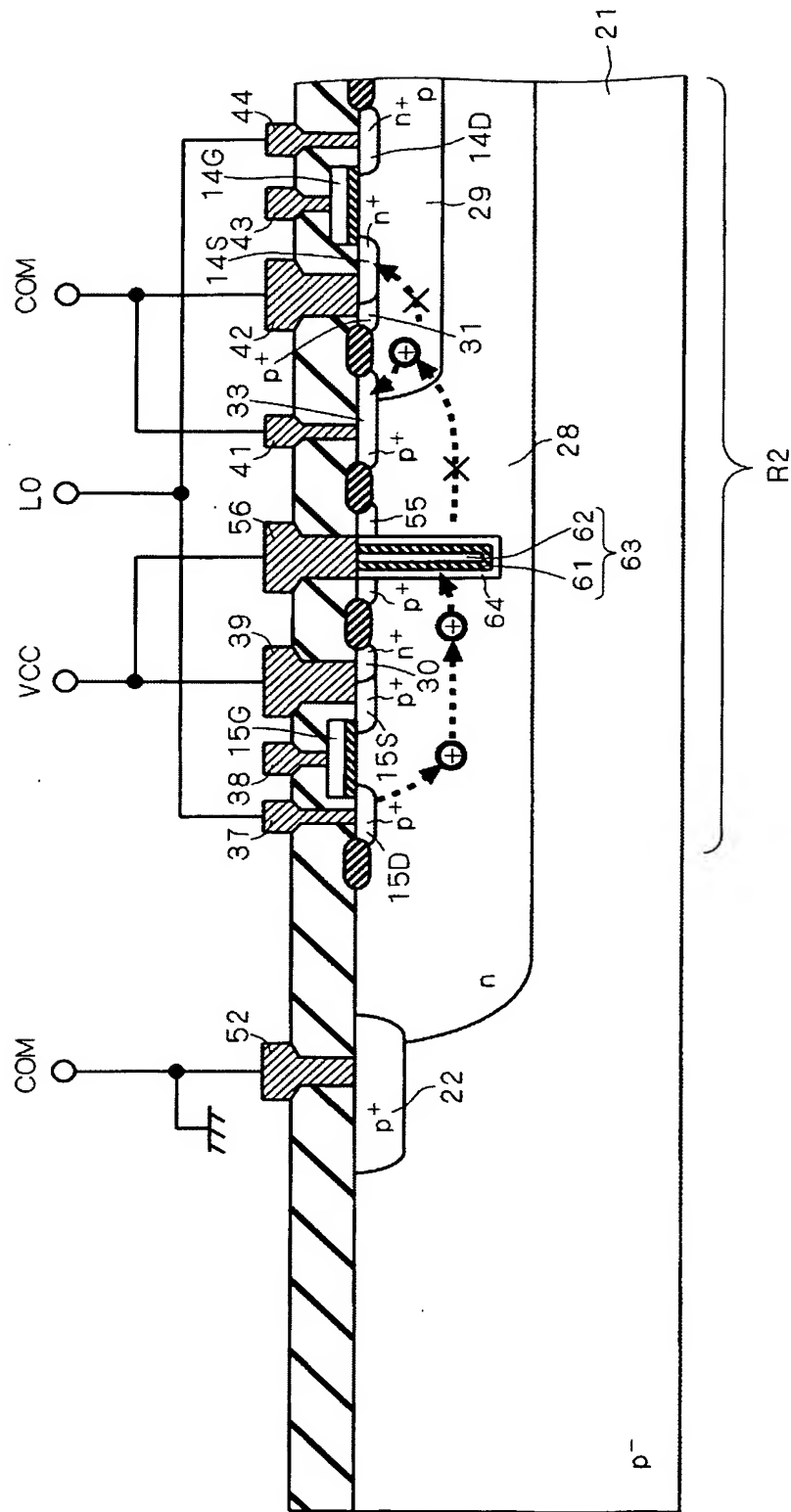








【図16】



【書類名】 要約書

【要約】

【課題】 高圧側浮遊オフセット電圧  $V_S$  の負変動に起因する誤動作及びラッチアップ破壊を回避し得る半導体装置を得る。

【解決手段】 NMOS 14 と PMOS 15 との間において、 $n$  型不純物領域 28 の上面内には、 $p$  型ウェル 29 に接するように  $p^+$  型不純物領域 33 が形成されている。 $p^+$  型不純物領域 33 上には電極 41 が形成されており、電極 41 は高圧側浮遊オフセット電圧  $V_S$  に接続されている。 $p^+$  型不純物領域 33 の不純物濃度は  $p$  型ウェル 29 の不純物濃度よりも高く、また、 $p^+$  型不純物領域 33 は  $p$  型ウェル 29 よりも浅く形成されている。 $p^+$  型不純物領域 33 と PMOS 15 との間において、 $n$  型不純物領域 28 の上面内には、 $n^+$  型不純物領域 32 が形成されている。 $n^+$  型不純物領域 32 上には電極 40 が形成されており、電極 40 は高圧側浮遊供給絶対電圧  $V_B$  に接続されている。

【選択図】 図 4

特願 2 0 0 3 - 0 8 7 8 2 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 6 0 1 3 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内 2 丁目 2 番 3 号

氏 名

三菱電機株式会社